



KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No.1002182600000 (44) Publication Date. 19990609

(21) Application No.1019970000916 (22) Application Date. 19970114

(51) IPC Code:

H01L 21/8234

(71) Applicant:

FAIRCHILD KOREA SEMICONDUCTOR LTD.

(72) Inventor:

LEE, TAE SEON
SONG, SEONG GYU

(30) Priority:

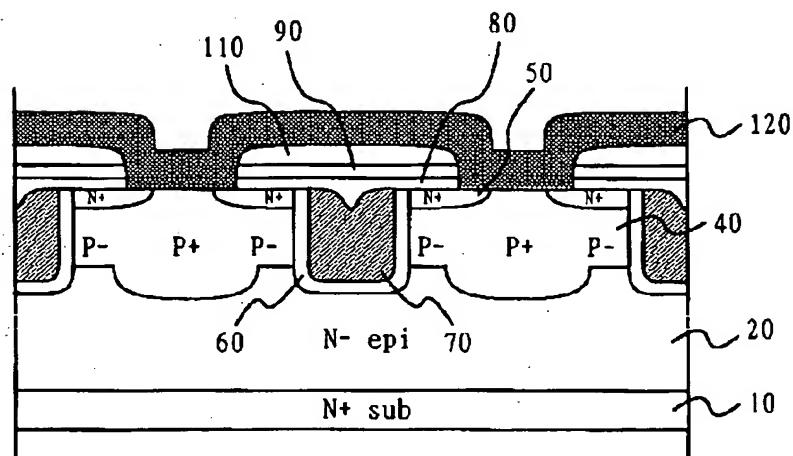
(54) Title of Invention

METHOD FOR MANUFACTURING TRENCH GATE-TYPE MOS TRANSISTOR

Representative drawing

(57) Abstract:

PURPOSE: A method for manufacturing a trench gate type MOS transistor is provided to obtain a desired channel profile by less separating impurities at a channel region when a sacrifice oxide film and a gate oxide film are formed.



CONSTITUTION: An oxide film is formed on a semiconductor substrate of the first conductive type. The second conductive-type impurity of a low-concentration is injected into the entire surface of the semiconductor substrate. The second conductive-type impurity of a high-concentration impurity is injected into a selected region of the semiconductor substrate. An etch mask pattern is formed on the oxide film. A trench (100) of a given depth is formed at the middle portion of the second conductive-type impurity region of a low-concentration using the etch mask pattern. The second conductive-type impurity of a high and low-concentration are diffused by performing a high temperature process for the result. A sacrificial film, the etch mask pattern and the oxide film generated by the high temperature after the diffusion process are removed. A gate oxide film(60) is formed on the surface of an epitaxial layer exposed by the removal step. A gate electrode layer is filled into the trench on which the gate oxide film is

covered. The first conductive-type impurity of a high concentration is injected into the second conductive-type impurity region of the low-concentration and an edge region of the second conductive-type impurity region of the low-concentration neighboring to the region. The surface of the resulting structure is thermally oxidized to diffuse the injected first conductive-type impurity.

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/8234	(45) 공고일자 1999년09월01일
	(11) 등록번호 10-0218260
	(24) 등록일자 1999년06월09일
(21) 출원번호 10-1997-0000916	(65) 공개번호 특 1998-0065787
(22) 출원일자 1997년01월14일	(43) 공개일자 1998년10월15일
(73) 특허권자 페어 차일드코리아반도체주식회사 경기도 부천시 원미구 도당동 82-3 김덕중	
(72) 발명자 이태선 경기도 부천시 원미구 종1동 1810 미리내마을 943-303 송성규	
	경기도 부천시 원미구 원미2동 182-28
(74) 대리인 김능균	
설사관 : 김동원	
(54) 트랜치 게이트형 모스트랜지스터의 제조방법	

영세서**도면의 간단한 설명**

도 1 내지 도 3 은 종래기술에 의한 트랜치 게이트형 모스트랜지스터의 제조공정도.

도 4 내지 도 6 은 본 발명의 일실시예에 의한 트랜치 게이트형 모스트랜지스터의 제조공정도.

*** 도면의 주요부분에 대한 부호의 설명**

10 : 고농도 N형 반도체기판	20 : 저농도 N형 에피층
30 : 얇은 산화막	35, 90 : 저온산화막
40 : P형 보디(body)영역	40a : 고농도 P형 불순물
40b : 저농도 P형 불순물	50 : 고농도 N형 소스영역
60 : 게이트산화막	70 : 폴리실리콘게이트
80 : 폴리실리콘 얇은 산화막	100 : 트랜치
101 : 트랜치 하단 모서리부	
110 : BPSG(boron phosphorous silicon glass)막	
120 : 금속전극	

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 모스트랜지스터의 제조방법에 관한 것으로서, 특히 트랜치 게이트형 모스트랜지스터의 제조방법에 관한 것이다.

일반적으로 트랜치공정을 이용한 모스계열 소자의 제조공정은 도 1 내지 도 3 에 도시된 공정순서에 따라 진행된다.

도 1 과 같이 저농도 N형 에피층(20) 상에 얇은 산화막(30)을 형성하고, 원하는 문턱전압에 맞추어, 반도체기판의 표면전면에 저농도 및 선택된 영역에 고농도 P형 불순물(40b, 40a)을 주입한다.

도 2 와 같이 상기 주입된 불순물(40b, 40a)을 확산시켜 P형 보디(body)영역(40)을 형성하고 고농도 N형 불순물을 주입·확산시켜 고농도 N형 소스영역(50)을 형성한다.

도 3 과 같이, 반응성 이온식각(reactive ion etching: RIE)공정을 이용하여 트랜치(100)를 형성하고, RIE 손상층 제거 및 세척을 위해 희생산화막을 형성한 후 제거한다. 이 후 게이트산화막(60) 형성, 폴리실리콘(70) 침적, POCl_3 도핑, 및 폴리실리콘 식각을 통해 폴리실리콘게이트(70)를 형성하게 된다.

종래 공정의 문제점은, RIE(reactive ion etching) 손상층을 제거하고 트랜치 상단 및 하단 모서리부를 라운딩시키기 위해서는 희생산화막 형성공정을 고온에서 행하여야 한다는 점이다. 이 때 P형 보디(body)영역(40)의 도핑 프로필(doping profile)이 훈들리게 되고, 고농도 N형 불순물의 확산, 채널

영역의 농도 감소에 의하여 짧은 채널 및 원하지 않는 게이트 문턱전압값을 얻을 수 있고, 드레인-소스간 누설전류를 유발시킨다. 특히 로직레벨(logic level) 모스소자의 경우, 게이트산화막(60) 두께가 400~500 Å이고 채널영역의 농도가 작기 때문에 적정 절연내압을 얻기 힘들다. 또한 희생산화막과 게이트산화막(60) 성장시에, 고농도 N형 소스영역(50)의 확산 및 채널영역의 봉소의 농도감소에 의하여 짧은 채널효과가 발생한다. 이것은 드레인-소스간의 편치(punch) 및 누설전류를 유발시킬 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 이와 같은 종래기술의 문제점을 해결하기 위하여, 상기 주입된 P형 불순물이 확산되기 전에 트랜치를 형성하고, 상기 트랜치에 폴리실리콘게이트를 형성한 후에 고농도 N형 소스영역을 형성함으로써, 종래기술에 있어서 트랜치상의 산화막 형성시에 발생하는, P형 보디(body)영역 및 고농도 N형 소스영역의 추가확산에 의한 각종 문제점들을 해결한 트랜치 게이트형 모스트랜지스터의 제조방법을 제공하는 데 있다.

상기 목적을 달성하기 위하여, 본 발명은 제 1 도전형의 반도체기판 상에 산화막을 형성하는 단계; 상기 반도체 기판의 표면전면에 저농도 및 선택된 영역에 고농도 제 2 도전형 불순물을 주입하는 단계; 상기 산화막 상에 식각마스크 패턴을 형성하는 단계; 상기 식각마스크 패턴을 사용하여 상기 저농도 제 2 도전형 불순물영역의 중앙부에 소정 깊이의 트랜치를 형성하는 단계; 결과물에 고온처리를 하여 상기 저농도 및 고농도 제 2 도전형 불순물을 확산시키는 단계; 상기 확산공정후 고온처리에 의해 생성된 희생산화막, 식각마스크패턴 및 산화막을 제거하는 단계; 상기 제거공정에 의해 노출된 애피충 표면에 게이트 산화막을 형성하는 단계; 상기 게이트 산화막이 피복된 트랜치내에 게이트 전극층을 채우는 단계; 상기 저농도 제 2 도전형 불순물영역과, 이 영역에 인접하는 고농도 제 2 도전형 불순물영역의 옛지영역에 걸쳐서 고농도 제 1 도전형 불순물을 주입하는 단계; 결과물의 표면을 열산화시켜서 주입된 상기 제 1 도전형 불순물을 확산시키는 단계; 상기 열산화에 의해 표면에 형성된 산화막상에 층간절연막을 덮는 단계; 상기 고농도 제 2 도전형 불순물영역과 상기 고농도 제 1 도전형 불순물영역의 일부를 포함하는 콘택처를 상기 층간절연막 및 산화막에 형성하는 단계; 상기 콘택처가 형성된 결과물상에 금속패턴을 형성하는 단계를 구비하는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부도면을 참조하여 본 발명의 일실시예를 보다 상세히 설명하고자 한다.

도 4 내지 도 6에 본 발명의 일실시예에 의한 제조공정도가 도시되어 있다.

도 4 와 같이, 저농도 N형 애피충(20) 상에 얇은 산화막(30)을 형성하고, 원하는 문턱전압에 맞추어, 반도체기판의 표면전면에 저농도 및 선택된 영역에 고농도 P형 불순물(40b, 40a)을 주입한다. 여기서, 40b는 표면 전면에 주입시킨 불순물이고 40a는 선택된 영역에 주입된 불순물을 나타낸다. 상기 얇은 산화막(30)상에 저온산화막(35)으로 식각마스크 패턴을 형성한 후, 반응성 이온식각(reactive ion etching: RIE)공정을 이용하여 저농도 P형 불순물영역의 중앙부에 트랜치(100)를 형성한다. 이때 트랜치(100)의 깊이는, 최종의 저농도 P형 불순물영역의 확산깊이보다 더 깊게 되도록 한다. 이 후에 식각용액을 이용하여 트랜치(100)를 식각한다. 이 때 트랜치 밑면과 측벽에 비해 하단 모서리부(101)에서 식각용액과 실리콘의 반응속도가 크므로, 트랜치 하단 모서리부(101)가 라운딩된다. 여기서 식각용액으로 불산과 질산의 혼합수용액 또는 혼합아세트산용액을 사용했으며, 식각깊이는 약 1000 Å이다.

도 5 와 같이, 결과물에 희생산화막을 1100°C의 고온에서 3000 Å 성장시킨 후, 희생산화막 및 표면의 저온산화막(35)과 얇은 산화막(30)을 불산용액으로 제거한다. 이어서 상기 제거공정에 의해 노출된 애피충 표면에 게이트산화막(60)을 고온에서 400~500 Å 성장시킨다. 고온에서 성장시키므로 게이트산화막(60) 두께를 균일하게 할 수 있다. 희생산화막 및 게이트산화막(60) 성장시에, 저농도 및 고농도 P형 불순물이 확산되므로, 종래기술에 비해 채널영역의 농도조절이 용이하다. 이 때 또한 종래의 불순물 농도 감소 효과를 줄이면서 트랜치의 모서리부를 라운딩할 수 있다.

도 6 과 같이, 상기 게이트 산화막(60)이 피복된 트랜치내에 폴리실리콘게이트(70)를 형성한 후, 소스가 형성될 영역(50) 및 상기 폴리실리콘게이트(70)상에 고농도 N형 불순물을 주입한다. 따라서 종래공정과 달리 소스영역(50) 형성과 동시에 폴리실리콘게이트(70)내에 불순물을 도입이 가능하다. 이후 폴리실리콘 얇은 산화막(80) 형성, 저온산화막(90) 적층, BPSG(boron phosphorous silicon glass)막(110) 적층, BPSG(boron phosphorous silicon glass) 리플로우(reflow) 공정이 순차적으로 이어진다. 다음에 상기 폴리실리콘 얇은 산화막(80), 저온산화막(90), 및 BPSG(boron phosphorous silicon glass)막(110)을 관통하여, 고농도 P형 불순물영역과 고농도 N형 소스영역(50)의 일부를 포함하는 콘택처를 형성한다. 상기 콘택처가 형성된 결과물상에 금속(120)패턴을 형성한다. 여기서 폴리실리콘 얇은 산화막 형성(80) 및 BPSG(boron phosphorous silicon glass) 리플로우(reflow)시에 고농도 N형 불순물이 확산된다.

발명의 효과

본 발명은, 종래기술과 달리, 희생산화막 및 게이트산화막 형성시 채널 영역에서 불순물의 분리가 적으며, 상기 산화막 형성시에 고농도 제 1 도전형 소스영역의 확산이 일어날 수 없으므로, 원하는 채널 프로필(profile)을 얻을 수 있다. 이에 의하여 게이트구동전압이 로직레벨(logic level) 수준인 로우(low) $R_{ds(on)}$ 소자를 구현할 수 있다. 또한 고온에서 게이트산화막 공정이 가능하여 양질의 균일한 산화막을 형성할 수 있다. 또한 습식식각에 의하여 트랜치 하단 모서리 효과를 완화시킬 수 있어 수평형 모스트랜지스터와 대등한 수준의 절연특성을 얻을 수 있다.

청구항 1

제 1 도전형의 반도체기판 상에 산화막을 형성하는 단계; 상기 반도체 기판의 표면전면에 저농도 및 선택된 영역에 고농도 제 2 도전형 불순물을 주입하는 단계; 상기 산화막 상에 식각마스크 패턴을 형성하는 단계; 상기 식각마스크 패턴을 사용하여 상기 저농도 제 2 도전형 불순물영역의 중앙부에 소정 깊이의 트랜치를 형성하는 단계; 결과물에 고온처리를 하여 상기 저농도 및 고농도 제 2 도전형 불순물을 확산시키는 단계; 상기 확산공정후 고온처리에 의해 생성된 희생산화막, 식각마스크패턴 및 산화막을 제거하는 단계; 상기 제거공정에 의해 노출된 에피층 표면에 게이트 산화막을 형성하는 단계; 상기 게이트 산화막이 피복된 트랜치내에 게이트 전극층을 채우는 단계; 상기 저농도 제 2 도전형 불순물영역과, 이 영역에 인접하는 고농도 제 2 도전형 불순물영역의 옛지영역에 걸쳐서 고농도 제 1 도전형 불순물을 주입하는 단계; 결과물의 표면을 열산화시켜서 주입된 상기 제 1 도전형 불순물을 확산시키는 단계; 상기 열산화에 의해 표면에 형성된 산화막상에 층간절연막을 덮는 단계; 상기 고농도 제 2 도전형 불순물영역과 상기 고농도 제 1 도전형 불순물영역의 일부를 포함하는 혼택층을 상기 층간절연막 및 산화막에 형성하는 단계; 상기 혼택층이 형성된 결과물상에 금속패턴을 형성하는 단계를 구비하는 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 1 도전형의 반도체 기판은 고농도의 제 1 도전형 실리콘기판과 이 실리콘기판상에 성장시킨 저농도 제 1 도전형 에피층으로 구성된 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

청구항 3

제 1 항에 있어서, 상기 식각마스크패턴은 저온산화막으로 형성하는 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

청구항 4

제 1 항에 있어서, 상기 트랜치 형성공정은 건식식각한 후에 습식식각을하여 트랜치의 모서리부를 라운딩처리하는 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

청구항 5

제 4 항에 있어서, 상기 습식식각공정은 불산 및 질산 혼합용액을 이용하여, 약 $1,000\text{ \AA}$ 정도 식각하는 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

청구항 6

제 1 항에 있어서, 상기 트랜치의 깊이는 상기 저농도 제 2 도전형 불순물영역의 확산깊이보다 더 깊은 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

청구항 7

제 1 항에 있어서, 상기 희생산화막, 식각마스크패턴, 산화막을 제거하는 공정은 불산용액에 의한 습식식각으로 제거하는 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

청구항 8

제 1 항에 있어서, 상기 게이트 산화막은 $400\text{~}500\text{ \AA}$ 의 두께로 성장시키는 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

청구항 9

제 1 항에 있어서, 상기 게이트 전극층은 폴리실리콘인 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

청구항 10

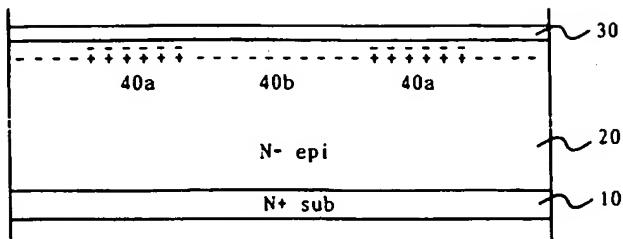
제 1 항에 있어서, 상기 층간절연막은 저온 산화막 및 BPSG막으로 형성된 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

청구항 11

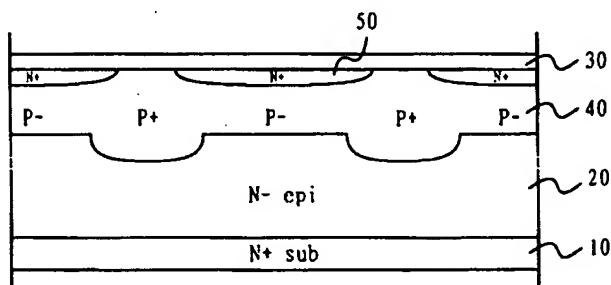
제 10 항에 있어서, 상기 BPSG막은 리플로우시키는 것을 특징으로 하는 트랜치 게이트형 모스트랜지스터의 제조방법.

도면

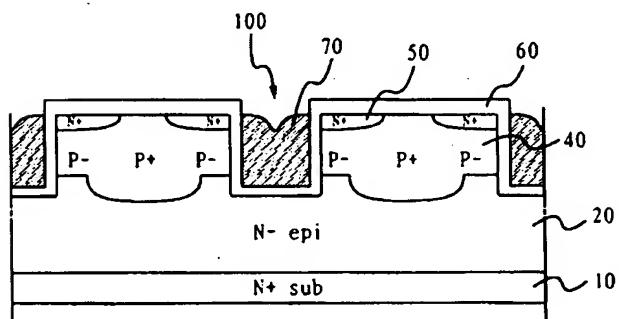
도면1



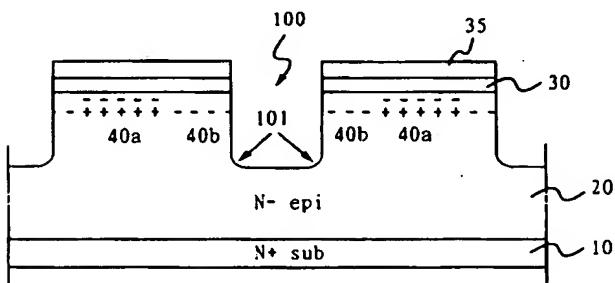
도면2



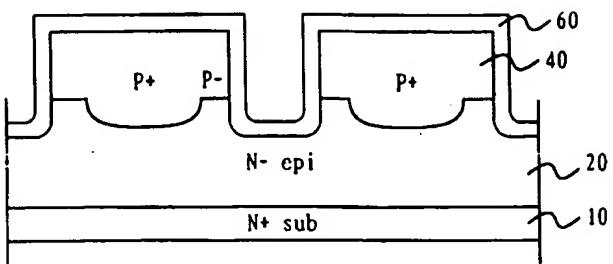
도면3



도면4



도면5



도면6

